

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-023136

(43)Date of publication of application : 24.01.2003

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 2001-208830

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.07.2001

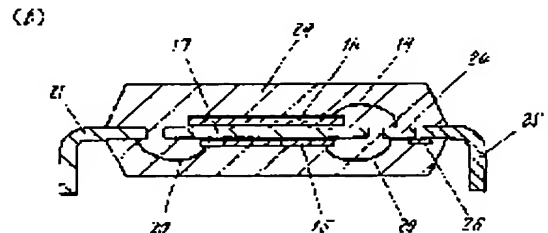
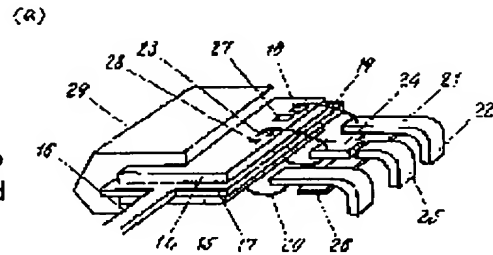
(72)Inventor : AKASHI TAKUO  
NAGAO KOICHI  
SATO MOTOAKI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that an electrode for inputting and outputting data directly between a memory chip and a microcomputer chip in a semiconductor device is connected with an external terminal protruding outside the semiconductor device, so that a protective circuit of the electrode which is formed in each semiconductor chip turns to superfluous capacitance and resistance when high speed data are inputted and outputted between semiconductor chips, and deteriorates performance of the semiconductor device.

**SOLUTION:** Thin metal wires 19, 20 connected with electrodes 23 for inputting and outputting data between the memory chip 14 and the microcomputer chip 15 are connected with a common lead 24, which is cut inside sealing resin 29 and isolated from an outer terminal 25. The common lead 24 and other lead 21 are bridged by insulating material 26, and the common lead 24 is in a floating state.



## LEGAL STATUS

[Date of request for examination]

10.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

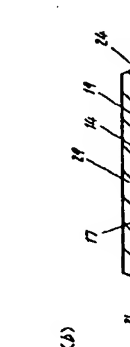
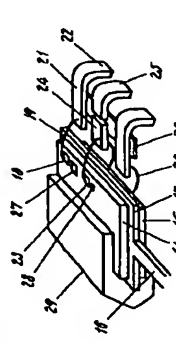
(11) 特許出願公開第(11)号

(P2003-23136A)

(43)公刊日 平成15年1月24日(2003.1.24)

(54) 【発明の名称】 中継機設置

(a)



**問4(配点1)** 有線の半導体チップが封止樹脂で封止された半導体装置であって、前記半導体素子どうしのデータの入出力を互いに行うための電極が前記有線の半導体のチップの各々に設けられ、前記電極の各々によって接続された有線組線は共通により、前記接続より、前記共通より一ドは切られて前記封止樹脂の外面に突出し、外部端子から分岐されていることを特徴とする半導体装置。

【請求項2】 切断されて外部端子から分離された共通リードは、絶縁性材料により前記共通リードを除くリードと架橋されていることを特徴とする請求項1に記載の導体装置。

【調査事項3】複数の半導体素子の各々に形成されたデータタの出入力を互いに行うための電圧の保電回路のサイズは、前記データの入出力を行うための電圧を除く電圧保電回路のサイズよりも小さいことを特徴とする請求1に記載の半導体装置。

【問事項4】 複数の半導体素子は第1の半導体素子および第2の半導体素子であり、前記第1の半導体素子はダイバッドの表面に接合され、前記第2の半導体素子は前記ダイバッドの底面に接合されていることを特徴とする請求項1に記載の半導体装置。

発明の詳細な説明】  
 0001  
 発明の属する技術分野】本発明は、複数の半導体チップが搭載された半導体装置に関するものであり、特に、半導体チップとデータの入出力端子に関するもの、外周電極から供給する半導体装置に関するものである。

【0002】近年、家電機器・情報情報家電などにおいて、機器の小型化と、高性能化が進んでいる。これに、半導体装置は対応の迅速な発展的な半導体チップとして、半導体装置と実装して、部品点数を減らすとともに、半導体装置内面に半導体チップというデータの入出力が行い、半導体装置内で高度なシステムを構築する「システム・イン・パッケージ技術」の重要性がますます高まっている。

〔0003〕図2は、従来の半導体装置を示した図であ

「0004」図2 (a) および図2 (b) に示すよう  
に、メモリチップ1とメモリチップ2を1つの半導体  
基板上に実装しており、メモリチップ1とメモリチップ2  
はタイプ4の半導体実装形式のリードフレームA8  
に搭載されており、メモリチップ1とメモ  
リチップ2のそれぞれが電極6に金属接続6、7が設  
けられている。それら2つの金属接続6、7は、  
リードフレームA8のリード8に接続される。このリード8の先端は、  
導体基板上の外部に引出され接続9となる。

【0005】一方、半導体装置内でメモリチップ1とマ

アイコンチップ2個の面で並行データの出力を行う場合、各データに出力される半導体チップ2個の入出力電流1.0が形成され、各データに入出力電流1.0は、共通リード11を介して共通電流供給チップ2個の入出力電流1.0と、それぞれ企業用チップ2個の入出力電流1.0とは、それぞれ企業用チップ2個を介して供給され、共通リード11を介してメモリーリダリチップ2とマイコンチップ2が電流に接続され、それぞれ、メモリーリダリチップ2、マイコンチップ2、それぞれ、企業用半導体チップ2の電流5及び出力電流1には外、企業用半導体チップ2の電流5と出力電流1の合計6が電圧のみの電流による回路を介するための共通回路12が受け取られている。この状態でメモリーチップ1、マイコンチップ1と企業用チップ1、7、リードフレーム8は封入装置13で封止される。

[000]

[illegible]

【0007】また、従来の方法では、半導体装置内にてメモリチップとマイクロコンピュータ間で管理データの入出力を必要とする。従って、半導体装置の外部に突出する外装端子と使用される必要があることにより、他の電流の透過面と同じ頻度で露出が必要であることから、この保護回路は、半導体装置の内部で高度なデータの入力を行う上には十分な容量を有せねばならず、半導体装置のトータルな性能を低下させるといった問題を有していた。

【0008】本発明は前記従来の問題点を解決するもので、複数の半導体チップ間でデータの入出力を行う場合に必要となる保護回路のサイズを縮小し、かつ、高信頼なデータの入出力を実現する半導体装置を実現するものである。

**[000]**

【問題】を解決するための手段】前記従来の半導体装置の半導体基板上に、半導体素子と、半導体素子の電極とを形成するに、本発明の半導体装置は、検査の半導体チップが対象と製造とに対してされた半導体装置であったため、前記半導体素子どうのアーチの入出力を互いに行うため、前記検査の前記半導体チップの各々に形成された、前記検査の各々に形成された金属配線は共通リード線に接続され、前記共通リード線は分割されている。

【0010】また、切斷されて外都塔子から分離された此遺リードは、絶縁性材料により前記共通リードを除くリードと绝缘されている。

【0011】また、複数の半導体素子の各々に形成され

たデータの入出力を互いに行うための電線の保護回路のサイズは、前記データの入出力を行うための電線を除く電線の保護回路のサイズより小さい。

[0012] また、複数の半導体素子1の半導体素子および第2の半導体素子であり、前記第1の半導体素子はダイパッドの表面に設置され、前記第2の半導体素子は前記ダイパッドの裏面に設置されている。

[0013] したがって、本発明は、半導体チップ内でデータの入出力を行う電線に接続する金属線路が接続される共通リードは禁止層の内側で切断され、禁止層の外側から突出した外部端子から分離され、切断された共通リードは樹脂封止された半導体素子内での他のリードと電気的に接続する必要がある。また、半導体チップ内でデータの入出力を行う電線の保護回路は、各チップがそれぞれ半導体素子の外部で電線の保護回路と接続するために設けられている電線、すなわちチップ内でデータの入出力を行わない電線の保護回路のサイズより小さいもの（まったく保護回路を省略する場合も含む）にしている。

[0014] したがって、半導体チップ内でデータの入出力を行う電線は、半導体素子に接続し、実装された後は、外界から電線の影響を受けにくくなる。なお、半導体素子に接続し、実装するまでに受ける電圧は半導体素子内での電圧管理であるため、静電エネルギーに対する耐性は大幅に高くすることができる。

[0015]

[発明の実施形態] 以下、本発明の半導体素子の一実施形態について図面を参照しながら説明する。

[0016] 図1は、本発明の半導体素子の平面図を示す。

[0017] 図1(a)および図1(b)に示すように、本発明の半導体素子は、メモリチップ14とマイコンチップ15とを1つの半導体素子に実装する構造で、メモリチップ14に設けられたデータ線を用いて、マイコンチップ15がデータの読取りを行うものや、メモリチップ15がデータの書き込みを行うもの、メモリチップ15を通じてメモリチップ14に保持したデータをメモリチップ14に保持したものである。

[0018] メモリチップ14とマイコンチップ15は、それぞれのチップ表面をパッケージ実装用のリードフレーム18のダイパッド17に実装され、メモリチップ14およびマイコンチップ15のそれぞれの電線18は金属線路19、20で接続されている。それぞれの金属線路19、20はリードフレーム18の裏面のリード21に接続される。このリード21の分岐は半導体素子の外部から突出する外部端子22となる。半導体素子の外部で電線の保護回路と接続する場合は、それぞれの外部端子22が電線の保護回路と接続される。

[0019] 一方、半導体素子内でメモリチップ14と

実装を実現できるものである。

[図面の簡単な説明]

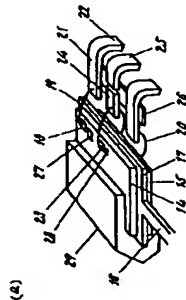
[図1] 本発明の一実施形態の半導体素子を示す図

[図2] 従来の半導体素子を示す図

[符号の説明]

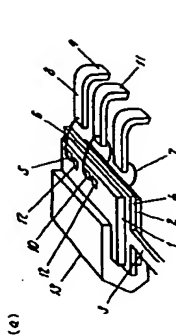
- 1 メモリチップ
- 2 マイコンチップ
- 3 リードフレーム
- 4 ダイパッド
- 5 電線
- 6 メモリチップの金属線路
- 7 マイコンチップの金属線路
- 8 リード
- 9 外部端子
- 10 入出力用電線
- 11 共通リード
- 12 保護回路
- 13 禁止層
- 14 メモリチップ
- 15 マイコンチップ
- 16 リードフレーム
- 17 ダイパッド
- 18 電線
- 19 金属線路
- 20 金属線路
- 21 リード
- 22 外部端子
- 23 電線
- 24 共通リード
- 25 外部端子
- 26 絶縁性材料
- 27 保護回路
- 28 保護回路
- 29 禁止層

[図1]

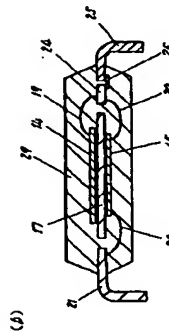


(a)

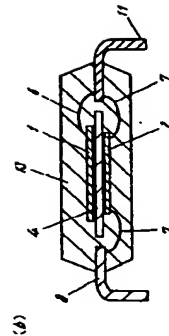
[図2]



(a)



(b)



(b)

フロントページの続き

(72)発明者 佐藤 元昭  
大阪府門真市大字真1006番地 松下電器  
産業株式会社内